

BEST AVAILABLE COPY

PAT-NO: JP411290535A

DOCUMENT-IDENTIFIER: JP 11290535 A

TITLE: PSEUDO-RANDOM NUMBER GENERATING DEVICE FOR
GAME MACHINE

PUBN-DATE: October 26, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
IMAI, NOBUMASA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
LE TEC:KK	N/A

APPL-NO: JP10096210

APPL-DATE: April 8, 1998

INT-CL (IPC): A63F007/02, G06F007/58

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a random number generating device in which the maximum cycle of the random number generating circuit is difficult to be synchronized with the reading cycle of the CPU for every game machine, and the periodicity is difficult to be generated in the random number strings generated in a random number generating circuit used for a game machine.

SOLUTION: This pseudo-random number generating device for game machine is composed of an uniform random number generating circuit 1 such as M system, etc., a register 2 storing a random number data outputted from the uniform

random number generating circuit 1, and a means which shafts a system clock to the uniform random number generating circuit 1 by specified clocks for each bonus, and outputs random numbers in the register 2 to the data bus according to the read-out by CPU, etc. The means which shifts the system clock by specified clocks is composed of a memory 3 storing the random numbers in the register 2, a delay setting value selection circuit 4 which selects a delay clock value (1 to N) based on the random numbers in the memory 3, and a delay circuit 5 which delays a system clock 7a based on the output of the delay setting value selection circuit 4.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-290535

(43)公開日 平成11年(1999)10月26日

(51)Int.Cl.⁹

A 6 3 F 7/02
G 0 6 F 7/58

識別記号

3 3 3

F I

A 6 3 F 7/02
G 0 6 F 7/58

3 3 3 Z
A

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願平10-96210

(22)出願日 平成10年(1998)4月8日

(71)出願人 591107481

株式会社エルイーテック

東京都千代田区一ツ橋2丁目6番3号

(72)発明者 今井 信正

東京都千代田区一ツ橋2丁目6番3号 株式会社エルイーテック内

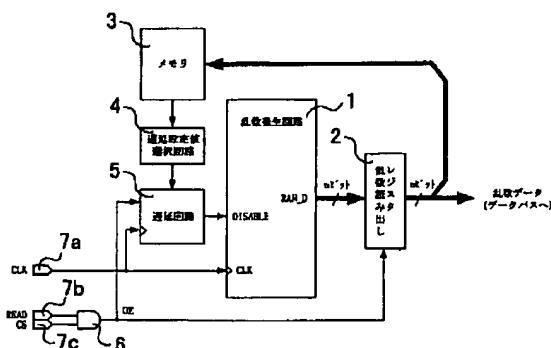
(74)代理人 弁理士 押本 泰彦 (外1名)

(54)【発明の名称】 遊技機用疑似乱数発生装置

(57)【要約】

【課題】 遊技機に使用する乱数発生回路において、遊技機毎の乱数発生回路の最大周期とCPUの読み出し周期とが同期しにくく、かつ発生する乱数列にも周期性が発生しにくい乱数発生装置を提供する。

【解決手段】 M系列等の一様乱数発生回路と、入賞毎に該乱数発生回路から出力された乱数データを格納するレジスタと、入賞毎に一様乱数発生回路へのシステムクロックを所定クロック分だけずらす手段とからなり、CPU等の読み出しによりレジスタ内の乱数をデータバスへ出力するように構成された遊技機用疑似乱数発生装置及び前記システムクロックを所定クロック分ずらす手段が、レジスタ内の乱数値を記憶するメモリと、該メモリに記憶された乱数値に基づき遅延させるクロック数1～Nを選択する遅延設定値選択回路と、該遅延設定値選択回路の出力に基づきシステムクロックを遅延させる遅延回路とからなる遊技機用疑似乱数発生装置。



【特許請求の範囲】

【請求項1】 入賞毎に乱数を発生するM系列等の一様乱数発生回路と、該乱数発生回路から出力された乱数データを格納するレジスタと、入賞毎に一様乱数発生回路へのシステムクロックを所定クロック分だけずらす手段とからなり、CPU等の読み出しによりレジスタ内の乱数をデータバスへ出力するように構成された遊技機用疑似乱数発生装置。

【請求項2】 前記システムクロックを所定クロック分ずらす手段が、レジスタ内の乱数値を記憶するメモリと、該メモリに記憶された乱数値に基づき遅延させるクロック数1～Nを選択する遅延設定値選択回路と、該遅延設定値選択回路の出力に基づきシステムクロックを遅延させる遅延回路とからなる請求項1記載の遊技機用疑似乱数発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、遊技機に使用される乱数において、周期性のない乱数を提供すると共に、抽選確率において、より一様性に近づける手段とを兼ね備えた遊技機の疑似乱数発生装置に関するものである。

【0002】

【従来の技術】従来の遊技機用乱数として、線形合同法やM系列等の様々な乱数発生回路が使用されているが、CPUの暴走を排除する目的で、所定間隔でリセット信号を入力し、その後のスタート入賞口に入賞するタイミングで当該乱数発生回路の出力値を乱数とする方式のものが知られている。

【0003】

【発明が解決しようとする課題】しかし上記装置は、一般的には遊技機を制御する中央制御処理装置（以下、CPUという）と同じ单一のクロック（以下、システムクロック）で例えばM系列の乱数を生成したり、制御される為に、生成された乱数はシステムクロックひいては読み出し周期と同期した状態となる。また、上記乱数発生方式は、乱数の取り出し処理が図1に示す様に外部から入力されるインターバルリセット割り込みによって遊技機の制御プログラムの一部として取り込まれて処理される為に、CPUが乱数の取り出しを行うまでの乱数生成処理ルーチンの実行時間、すなわちシステムクロック数は入賞回数にかかわらず毎回同じであることから乱数列の周期性が生じてしまう。周期が同期する場合を簡単に説明するために例えば図2に示す様に、発生する乱数を0～49であり、1 msecに1回更新される乱数であり、発生する乱数列の最大周期を50 msecであり、外部から入力されるインターバルリセット割り込み時間が4 msecだとする。この周期で抽出された乱数は極めて偏りのある乱数（図2では“0”、“10”、“20”、“30”、“40”）となり、各乱数の抽選確率（図2の例では、どの乱数も1/50が望ましい）が一様ではないという問題

点が生じる。そこで、入賞した際に抽出される乱数の抽選確率を一様とする為には、例えばシステムクロックに同期させない手段、あるいは入賞毎に乱数発生の周期を変化させる、すなわち入賞毎に一様乱数発生回路へのシステムクロックを数クロック分ずらす等の手段が必要とされる。本発明は上記問題点に鑑みてなされたものであり、入賞毎に乱数のサンプリングサイクルを適宜に変化させることで、プロットされる乱数の周期性をなくすと共に乱数の抽選確率を一様に近づけることが可能な乱数発生装置を提供することを目的とする。

【0004】

【課題を解決するための手段】すなわち本発明は、乱数を発生するM系列等の一様乱数発生回路と、入賞毎に該乱数発生回路から出力された乱数データを格納するレジスタと、入賞毎に一様乱数発生回路へのシステムクロックを所定クロック分だけずらす手段とからなり、CPU等の読み出しによりレジスタ内の乱数をデータバスへ出力するように構成された遊技機用疑似乱数発生装置により本目的を達成する。

【0005】

【作用】本発明にかかる疑似乱数発生装置では、乱数発生回路にシステムクロックの入力により乱数を更新している。そして遊技機で入賞があり、CPUからレジスタに格納された乱数の読み出された時、データバスを介してCPUに乱数値が出力されると共に該入賞毎にシステムクロック遅延手段が作動し、1乃至Nクロック数分だけ乱数発生回路へのシステムクロックの入力を遅延させるので、乱数発生回路の周期Tは、 $T = T_0 + x$ ($x = 1 \sim N$) となる。その結果、次の入賞のタイミングにおける乱数発生回路から出力される乱数値がxクロック分だけずれることになる。第2回目の入賞の結果乱数発生回路の周期が2周期に入っていない場合には、乱数発生回路の周期Tは、 $T_0 + 2x$ となり、既に一巡した場合には $T = T_0 + x$ となる。入賞がない場合には、CPUの読み出し周期t（一定）と乱数発生回路の周期 T_0 の最小公倍数で同期することになるが、本発明の場合は読み出し周期tと乱数発生回路の乱数周期T（変動）とは、同期することが著しく少なくなる。

【0006】

【実施例】以下に本発明を図示された実施例に従って詳細に説明する。図3は本発明にかかる第一実施例の概念を示すブロック図であり、1はM系列等の一様乱数を発生するための乱数発生回路であり、該乱数発生回路1で算出された乱数データRDは乱数読み出しレジスタ2に格納される。3は乱数読み出しレジスタ2からデータバスを介して出力される時に同時に乱数値を記憶するメモリであり、該メモリ3に記憶された乱数データは遅延設定値選択回路4に出力される。該遅延設定値選択回路4では入力された乱数値に基づき遅延サイクル数の設定を行ふ為の遅延時間の決定を行い、1乃至N（Nは整数）

の値 x を遅延回路5に出力する。遅延回路5は、入力された遅延設定値 x に基づき、乱数発生回路1へのシステムクロックの入力を x クロック分だけ遅延させる。その結果CPUからのリード信号7b出力された時に、レジスタ2に格納された乱数値がデータバスを介して出力される。尚6は制御ゲートである。前記レジスタ2、メモリ3、遅延設定値選択回路4及び遅延回路5により入賞毎にシステムクロックを1~N(Nは整数)クロック分ずらす手段が形成されている。

【0007】乱数発生回路1は、例えばnビットM系列、例えばnビットカウンタによる1クロック1乱数発生方式によるものとする。乱数読み出しレジスタ2は、乱数発生回路1によって発生した乱数を制御ゲート6の出力信号であるOEによりラッチし、そのラッチした乱数をメモリ3及び図示しないCPUが乱数を読み出すために必要なデータバス上に送出する。メモリ3は、電気的消去可能なメモリであり、乱数読み出しレジスタ2から送られた乱数データを記憶(保持)し、所定の操作、または動作により遅延設定値選択回路4へ当該データを送る。

【0008】遅延設定値選択回路4は、メモリ3より送られてきた乱数データに基づき、遅延回路5へ何サイクル分遅延させるかを決定し、その情報を遅延回路5へ送出する。例えばデータが“1”的場合、1サイクル分、“3”的場合は3サイクル分遅延させるといった情報を遅延回路5へ送出する。遅延回路5は、遅延設定値選択回路4より送られてきたデータを基に、所望の遅延時間/サイクルを生成し、乱数発生回路1を制御する。制御ゲート6は、ANDゲートであり、READ信号7bとCS信号7cの論理積によってOE信号を生成する。なお、制御信号は、CLK7aがシステムクロックを示し、READ信号7bとCS信号7cは、CPUからのアクセス信号であることを示す。なお、READ信号7b、CS信号7c、OE信号は便宜上、動作を説明する上でハイアクティブな信号とする。

【0009】図4は所定の乱数データにより、乱数発生回路1に対し、入賞毎(リード信号毎)にシステムクロックを1サイクル分遅延させる為の本発明にかかる第2実施例の動作を示すブロック図であり、8が入賞毎に一様乱数発生回路へのシステムクロックを1クロック分だけずらす手段で等価回路となっている。入賞があると、図示しないCPUが乱数データを読み出す為にREAD信号7bとCS信号7cが共に“H”アクティブの信号を出し、これらの信号は制御ゲート6で“H”アクティブのOE信号に変換され、この信号は乱数読み出しレジスタ2においてはラッチ信号として機能し、また乱数発生回路1においては所定のクロック分“1”をディセーブル(禁止状態)にする為の遅延信号として機能する。

【0010】この第2実施例における各信号の具体的な

変化を示したものが図5のタイミングチャートである。すなわちOE信号が等価回路8によって1サイクル分だけ乱数発生回路1をディセーブルさせる為の“H”アクティブの遅延信号に変換され、当該乱数発生回路1はこの期間のみ現在発生中の乱数をそのままホールドし、データバス上へ送出する。入賞毎、すなわちCPUが乱数データを読み込む毎に、乱数発生回路1は1クロック分ディセーブルとなる。例えば乱数発生回路1の最大周期(本実施例では50msecとした)内で2回の入賞があると、入賞がない時の場合から比べて、システムクロック1クロック分ずれた前の乱数データが抽出される(1回目はシフトの基点となる)。また、同様に3回の入賞があると2クロック分、4回の入賞があると3クロック分、5回の入賞があると4クロック分ずれた前の乱数データが抽出される。図6がその上記例を示す説明図であり、図2の従来例が第2実施例によって改善されていることを示している。

【0011】

【発明の効果】以上述べたように本発明にかかる乱数発生装置では、入賞毎に乱数データの抽出位置が適宜変化するので、読み出し周期と同期することにより発生していた乱数の一定周期化を防止することが可能となると共に入賞毎にxクロック分ずれる結果、乱数発生装置で算出される全ての乱数値を抽出することが可能となることから、抽選確率に関して一様性を保つことが可能となる。また、乱数発生装置専用のクロックを必要とせず、CPUを制御するクロックと同一クロックが使用できるので、簡単な回路で実現することが可能となる。

【図面の簡単な説明】

30 【図1】従来例の遊技機の処理を示したフローチャート図である。

【図2】従来例の乱数発生方式による乱数の周期性の問題点を示した概念図である。

【図3】第1実施例の動作説明図である。

【図4】第2実施例の動作説明図である。

【図5】第3実施例の動作説明図のタイミングチャート図である。

【図6】図2の従来例の乱数仕様が、第2実施例によって改善された例を示す説明図である。

40 【符号の説明】

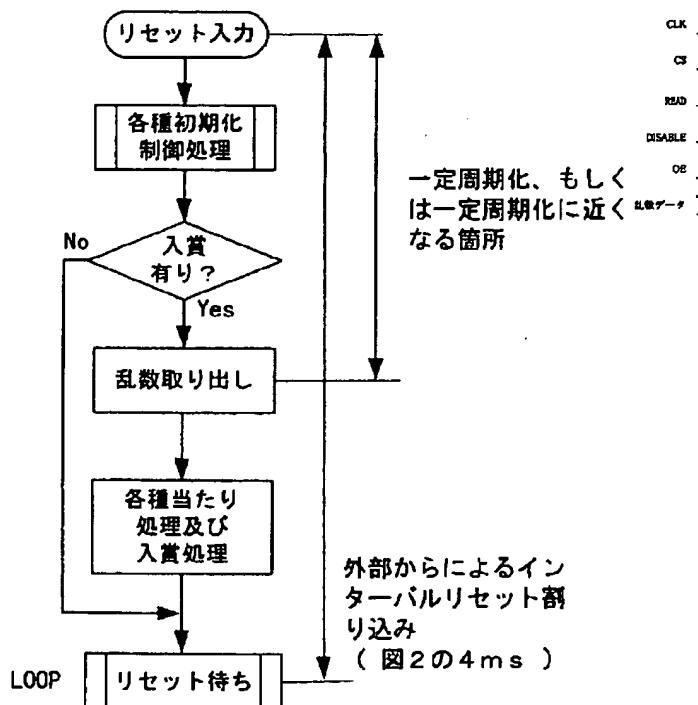
1	乱数発生回路
2	乱数読み出しレジスタ
3	メモリ
4	遅延設定値選択回路
5	遅延回路
6	制御ゲート(AND(論理積)ゲート)
7a	CLK(システムクロック)
7b	CPUからのアクセス信号(READ信号)
7c	CPUからのアクセス信号(CS信号)

5

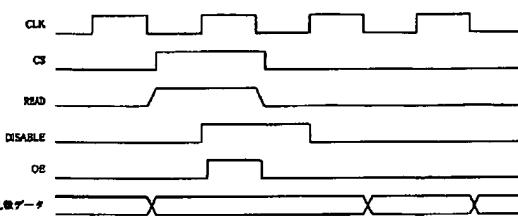
6

8 所定の乱数データによって乱数発生回路1 に対し1サイクル分遅延させる為の等価回路

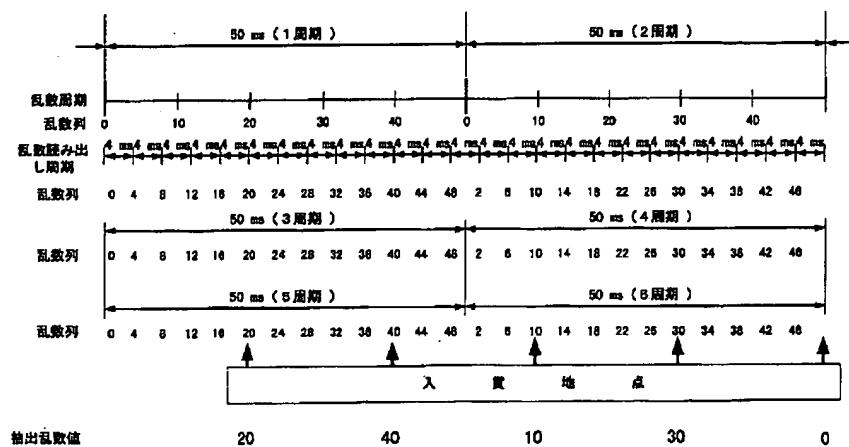
【図1】



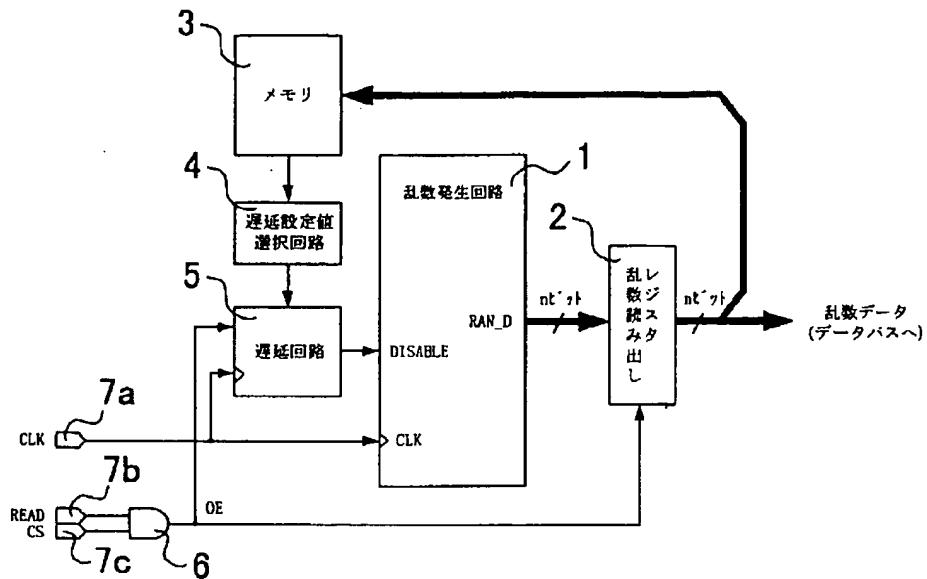
【図5】



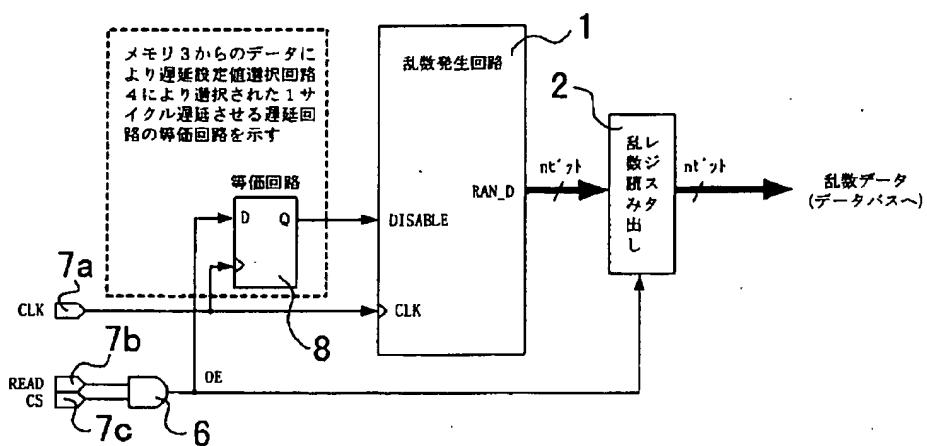
【図2】



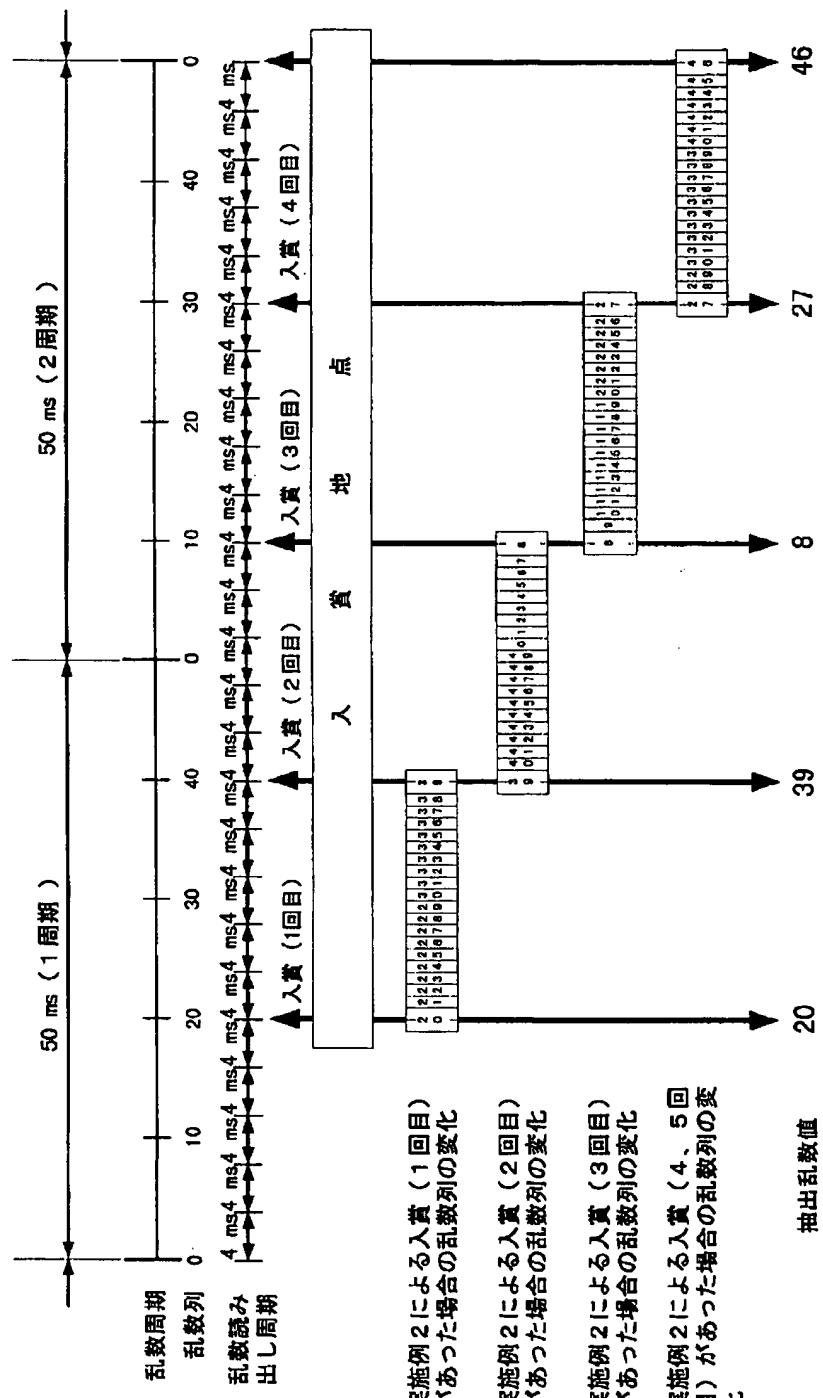
【図3】



【図4】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.